

- (1) Japanese Patent Application Laid-Open No. 62-069678 (1987)

“INPUT PROTECTION CIRCUIT”

The following is an English translation of an extract of the above application.

5 The invention disclosed here relates to an input protection circuit for protecting a gate of an MIS type semiconductor device from the excessive voltage. This input protection circuit is used especially for MOS IC.

In place of an MOS transistor 14 and a diode shown in Figs. 7 and 8, a bipolar transistor is provided here. The protection is provided by the operation of the bipolar 10 transistor. As a result, a substantial breakdown voltage and resistivity during breakdown are reduced using snap-back characteristics of the bipolar transistor.

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭62-69678

⑫ Int.Cl.

H 01 L 29/78
27/06
H 02 H 7/20
H 03 F 1/00

識別記号

102

庁内整理番号

8422-5F
6655-5F
7103-5G
6932-5J

⑬ 公開 昭和62年(1987)3月30日

審査請求 有 発明の数 1 (全8頁)

⑭ 発明の名称 入力保護回路

⑮ 特願 昭60-210430

⑯ 出願 昭60(1985)9月24日

⑰ 発明者 小林 清志 川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内
⑱ 発明者 近藤 健夫 川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内
⑲ 出願人 株式会社 東芝 川崎市幸区堀川町72番地
⑳ 代理人 弁理士 鈴江 武彦 外2名

明細書

1. 発明の名称

入力保護回路

2. 特許請求の範囲

(1) MIS形半導体装置を外部から印加された過大電圧から保護する入力保護回路において、入力保護用のバイポーラトランジスタを設け、このバイポーラトランジスタによって保護を行なうことを特徴とする入力保護回路。

(2) 前記バイポーラトランジスタは、素子分離によりセルファーライン形成されたラテラル構造のバイポーラトランジスタであることを特徴とする特許請求の範囲第1項記載の入力保護回路。

(3) 前記入力保護回路は、抵抗値が1150Ω以下の入力保護抵抗をさらに具備して成ることを特徴とする特許請求の範囲第1項記載の入力保護回路。

(4) 前記バイポーラトランジスタのコレクタ、ベース間のブレークダウン耐圧が10V以上で

あることを特徴とする特許請求の範囲第1項あるいは第2項いずれか一方に記載の入力保護回路。

3. 発明の詳細な説明

【発明の技術分野】

この発明は、MIS形半導体装置のゲートを過大電圧から保護するための入力保護回路に関するもので、特にMOS ICに使用されるものである。

【発明の技術的背景とその問題点】

従来、この種の入力保護回路は、例えば第7図あるいは第8図に示すように構成されており、サージ電圧等の過大電圧から内部回路を保護するようになっている。第7図において、端子に相当する入力パッディ11には、入力保護抵抗12の一端が接続され、この入力保護抵抗12の他端には内部回路10の入力段MOSトランジスタ13のゲートが接続される。上記入力保護抵抗12の内部回路10側ノードNと該地点間には、保護MOSトランジスタ14が接続され、このト

ランジスタ14のゲートは接地点に接続される。そして、上記パッド11にサージ電圧等の過大電圧が印加されると上記保護MOSトランジスタ14のドレインブレークダウンにより、過大電圧の印加により発生した電荷を入力保護抵抗12および保護MOSトランジスタ14を介して接地点に導き、内部回路10の入力端MOSトランジスタ13のゲート保護を行なう。

また、第8図の回路では、保護MOSトランジスタ14に代えて、ダイオード9を使用しているが、保護動作は上記第7図の場合と同様である。

第9図は、上記第7図に示した入力保護回路にサージ電圧を印加して静電破壊試験を行なう際の等価回路を示している。電圧 V_{out} に充電された容量 C_{out} のキャパシタ15から外部抵抗16およびスイッチ17をそれぞれ介してサージとしての電荷がICの入力パッド11に注ぎ込まれる。入力パッド11に注ぎ込まれた電荷は、入力保護抵抗12によって吸収されるとともに、

- 3 -

り発熱してポリシリコン抵抗(入力保護抵抗12)が溶断する。

一般に、静電破壊試験では、上記キャパシタ15の容量 C_{out} が200 pF、外部抵抗16の抵抗値 R_{out} が0Ωの時、±250 V以上の耐圧、また、 $C_{out} = 100 \text{ pF}$ 、 $R_{out} = 1.5 \text{ k}\Omega$ の時±1000 V以上の耐圧であれば問題は無いと言われているので、この2つのケースをシミュレーションしてみる。なお、ここでは説明を簡単にするために、内部容量 C_0 はキャパシタ15の容量 C_{out} に比べて充分に小さく、入力保護回路の各部に加えられる電圧は抵抗分削で決まる電圧まで上昇するものとする。また、入力保護抵抗はポリシリコンで構成されているものとし、プラス側のサージについてのみ考える。

まず、 $C_{out} = 200 \text{ pF}$ 、 $R_{out} = 0\Omega$ の時(ケース1)、入力保護抵抗(抵抗値を R_{IN} とする)12の一端(入力パッド11)側の電圧 V_{IN} は V_{out} まで上昇する。また、入力保護抵抗12の他端側の電圧 V_0 は

- 5 -

保護MOSトランジスタ14(等価回路上では抵抗 R_p)を介して接地点に導びかれる。今、入力保護抵抗12における保護MOSトランジスタ14側の電位を V_0 、保護MOSトランジスタ14のブレークダウン電圧を V_s とすると、上記保護MOSトランジスタ14は、「 $V_0 > V_s$ 」の時 $\frac{1}{R_p}(V_0 - V_s)$ 、「 $V_0 \leq V_s$ 」の時抵抗値が∞となる電流特性を示す。

ところで、静電破壊のモードは、大きくわけ次の3つのグループに分けられる。

(1) 入力保護抵抗12の入力パッド11側が破壊する(破壊耐圧 V_{BD})。入力保護抵抗12がポリシリコン抵抗の場合は、ポリシリコン抵抗とシリコン基板との間での絶縁破壊。入力保護抵抗12が拡散層の場合は、拡散層の破壊。

(2) 入力側MOSトランジスタ13のゲート破壊および保護MOSトランジスタ14のゲート破壊、あるいはこの保護MOSトランジスタ14の拡散層の破壊(破壊耐圧 V_{BS})。

(3) 入力保護回路を大電流が流れることによ

- 4 -

$$\left[\frac{R_p}{R_{IN} + R_p} (V_{out} - V_s) + V_s \right] \text{まで上昇する。}$$

一方、 $C_{out} = 100 \text{ pF}$ 、 $R_{out} = 1.5 \text{ k}\Omega$ の時(ケース2)は、

$$\left[V_{IN} = \frac{R_{IN} + R_p}{1.5k + R_{IN} + R_p} (V_{out} - V_s) + V_s \right],$$

$$\left[V_0 = \frac{R_p}{1.5k + R_{IN} + R_p} (V_{out} - V_s) + V_s \right],$$

まで上昇する。

以上の仮定に基づき、前記第7図あるいは第8図に示す構成における静電破壊耐圧条件について考察する。各デバイススケーリングに合わせたパラメータを下表-1に示す。

表 - 1

	デバイスA	デバイスB	デバイスC
t_{ox} (V_{BD})	450 Å (45V)	300 Å (30V)	250 Å (25V)
拡散層 (V_s)	(15V)	(15V)	(15V)

- 6 -

ここで、ブレークダウン電圧 V_B は内部素子の拡散層を使用するが、デバイスの微細化に伴なりホットキャリヤ効果対策のため、この電圧 V_B はスケーリングされにくいので一定としている (Gated Drain 構造や LDD 構造の導入)。また、各デバイス A, B, C ICにおいて、 $V_{DA} = 4.50V$ で一定 (入力抵抗ポリシリコン)、 $R_p = 50\Omega$ で一定としている。このタイプでは入力段 MOS トランジスタのゲート耐圧がブレークダウン電圧 V_B より小さい際には解が得られない。

デバイス A では、ケース 1 の時、

$$V_0 = \frac{50\Omega}{R_{IN} + 50\Omega} (250 - 15) + 15 < 45$$

$$R_{IN} > 342\Omega$$

ケース 2 の時、

$$V_{IN} = \frac{R_{IN} + 50}{1500 + R_{IN} + 50} (1000 - 15) + 15 < 450$$

$$\text{より } R_{IN} < 1136\Omega.$$

$$V_0 = \frac{50}{1500 + R_{IN} + 50} (1000 - 15) + 15 < 45$$

- 7 -

$$V_0 = \frac{50}{1500 + R_{IN} + 50} (1000 - 15) + 15 < 25$$

より $R_{IN} > 3375\Omega$ となり、両方の条件を満足する解が得られない。

上述したように、デバイスが縮小されるに従って (デバイス B, C) 両方の条件を満足する解が得られなくなる。また、たとえ何らかの方法で入力保護抵抗の破壊耐圧を上げることができたとしても、上記ケース 1、およびケース 2 における V_0 による制約があるため、デバイス B の場合は $R_{IN} > 1733\Omega$ 、デバイス C の場合は $R_{IN} > 3375\Omega$ という大きな抵抗が必要となり、この入力保護抵抗による信号の伝播遅延時間の増大が問題となる。

このように、微細化が進みゲート酸化膜の破壊耐圧の低下が避けられない現在、入力保護回路の改良が望まれている。

[発明の目的]

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、微細化さ

より $R_{IN} > 92$ となる。従って、

$342\Omega < R_{IN} < 1136\Omega$ という解が得られる。

デバイス B では、ケース 1 の時、

$$V_0 = \frac{50}{R_{IN} + 50} (250 - 15) + 15 < 30$$

$$\text{より } R_{IN} > 783\Omega.$$

ケース 2 の時、

$$V_{IN} = \frac{R_{IN} + 50}{1500 + R_{IN} + 50} (1000 - 15) + 15 < 450$$

$$\text{より } R_{IN} < 1136\Omega.$$

$$V_0 = \frac{50}{1500 + R_{IN} + 50} (1000 - 15) + 15 < 30$$

より $R_{IN} > 1733\Omega$ となり、両方の条件を満足する解が得られない。

デバイス C では、ケース 1 の時、

$$V_0 = \frac{50}{R_{IN} + 50} (250 - 15) + 15 < 25$$

であるので、 $R_{IN} > 1125\Omega$ となる。

また、ケース 2 の時は、デバイス A, B のケース 2 と同じで $R_{IN} < 1136\Omega$ となり、

- 8 -

れた半導体集成回路であっても充分な保護が行なえる入力保護回路を提供することである。

[発明の概要]

すなわち、この発明においては、上記の目的を達成するために、前記第 7 図および第 8 図における MOS トランジスタ 11 やダイオード 14 に代えてバイポーラトランジスタを設け、このバイポーラトランジスタの動作によって保護を行なうようにしたもので、バイポーラトランジスタのスナップバック特性を利用して実質的なブレークダウン電圧およびブレークダウン時の抵抗値を下げるようしている。

[発明の実施例]

以下、この発明の一実施例について図面を参照して説明する。第 1 図において、前記第 7 図あるいは第 8 図と同一構成部には同じ符号をしてその詳細な説明は省略する。入力保護抵抗 12 の内部回路 10 側には、NPN 形バイポーラトランジスタ 18 のコレクタが接続され、このトランジスタ 18 のエミッタおよびベース端は

- 9 -

- 395 -

- 10 -

接地点が接続されて成る。

上記バイポーラトランジスタ18は、例えば第2図あるいは第3図に示すように構成される。第2図におけるp形の半導体基板19上には、MIS形素子との素子分離のためのフィールド絶縁膜20₁, 20₂, 20₃が形成され、MIS形素子のソース、ドレイン領域の形成時に上記絶縁膜20₁, 20₂, 20₃をマスクとしてエミッタおよびコレクタとしてのn⁺形不純物領域21₁, 21₂がセルフアライン形成される。このようにして形成されたラテラル形バイポーラトランジスタ18のコレクタ(n⁺形不純物領域21₂)には入力保護抵抗12の内部回路10側が接続され、エミッタ(n⁺形不純物領域21₁)およびベース(半導体基板19)が接地点V_{ee}に接続される。

第3図は、CMOS ICにバイポーラトランジスタを形成する際の断面構成を示している。p形あるいはn形の半導体基板22にはp形のウェル領域23が形成される。このウェル領域23

- 11 -

印加されると、コレクタ、ベース間にブレークダウンを生じ、この時のブレークダウン電圧がトリガとなってバイポーラトランジスタ18がオンする。これは、バイポーラトランジスタ18のベースに寄生する抵抗R_bにブレークダウン電圧が供給されることにより、ベース電位が上昇するためである。上記バイポーラトランジスタ18の電圧-電流特性は、第4図に示すようにスナップバック特性を示す。これによって、実質的なブレークダウン電圧V_{bd}をV_cまで下げることができ、抵抗R_bをR_cに下げることができる。上記ブレークダウン電圧V_{bd}からV_cへの低下量は、バイポーラトランジスタ18のベース長によって決定され、抵抗R_cはコレクタ面積およびベース長のパラメータによって決定される。上記抵抗R_cは、ダイオードやMOSトランジスタに比べてバターン面積の増大なしに小さくすることができる。

従って、ブレークダウン電圧V_{bd}および抵抗R_cを実質的に低下できるので、入力保護回路の静

止および半導体基板22上には、フィールド絶縁膜24₁, 24₂, 24₃, 24₄が形成され、nチャネル形あるいはpチャネル形MOSトランジスタのソース、ドレイン領域の形成時に、このウェル領域23の表面領域にコレクタとしてのn⁺形不純物領域25₁、エミッタとしてのn⁺形不純物領域25₂、およびベースとしてのp⁺形不純物領域25₃がそれぞれセルフアライン形成される。そして、上記n⁺形不純物領域25₁には入力保護抵抗12の内部回路10側が接続されるとともに、上記n⁺形不純物領域25₂およびp⁺形不純物領域25₃には接地点V_{ee}が接続される。

なお、上記第2図および第3図において、26は半導体基板19あるいはウェル領域23の寄生抵抗である。

上記のような構成において、バイポーラトランジスタ18のコレクタ、ベース間にサージ電圧等の過大電圧(コレクタ、ベース間のブレークダウン電圧V_{bd}、例えば15V以上)の電圧が

- 12 -

電破壊耐量を向上できる。なお、バイポーラトランジスタ18をオンさせるためのトリガ電流は非常に小さいので、スナップバック現象が起こる前のダイオード特性は無視できる。

上述したような構成の入力保護回路を設けたMOS ICを試作し、その特性を測定した。ここで、入力保護抵抗12の抵抗値R_{1N}を750Ω、保護バイポーラトランジスタ18のアイソレーション幅を3mm、ベース長を2.6mm、ブレークダウン電圧V_{bd}を16V、第4図における電圧V_cを7V、ゲート酸化膜厚を330Åとしている。

前述したシミュレーションと同一の手法で試験を行なうものとし、デバイスA, B, CにおいてV_cが1/2V_{bd}あるいは1/3V_{bd}ICできたものとして、各デバイスにおける静電破壊を生じないための入力保護抵抗12の抵抗値R_{1N}について考察する。この時、抵抗R_cはR_bと同じ50Ωと仮定する。この結果下表-2に示すような解が得られた。

- 13 -

2
-
1
-
概

デバイス C	デバイス B	解あり	解なし
デバイス A			
$V_c = 1/2 V_s$	$237 < R_{in} < 1157$	$656 < R_{in} < 1157$	解あり
$= 7.5 \text{ V}$	$222 < R_{in} < 1164$	$440 < R_{in} < 1164$	解あり
$V_c = 1/3 V_s$	V_s	$938 < R_{in} < 1164$	解あり
$= 5 \text{ V}$			

- 15 -

作を利用して保護を行なうこともできる。但しこの場合には、入力保護用の MOS トランジスタのゲート破壊が問題となる。すなわち、前記第 1 図の構成ではバイポーラトランジスタ 1, 2 のコレクタ側電位を V_{o1} 、入力段 MOS トランジスタ 1, 3 のゲート電位を V_{o2} とした時、 $V_{o1} > V_{o2}$ となる（入力段 MOS トランジスタ 1, 3 のゲートや配線に付随する容量や抵抗等による）のに対し、MOS トランジスタに寄生するバイポーラトランジスタを利用する場合には、MOS トランジスタのゲート破壊耐圧 V_{ox} を考慮し、 $V_{ox} > V_{o1} > V_{o2}$ とする必要がある。今、寄生バイポーラトランジスタの特性が前記第 1 図の構成の特性と同じであったとすれば、両者の V_{o1} , V_{o2} はそれぞれ等しい。従って、寄生バイポーラトランジスタの場合には $V_{ox} > V_{o1} > V_{o2}$ しなければならないのに対し、前記第 1 図の構成では $V_{ox} > V_{o2}$ で充分であり、ゲート破壊耐圧 V_{ox} を低くでき、微細化に好適である。換言すれば、保護 MOS トランジスタに生ずるバイポ

このように、デバイスのスケーリングに合わせて第 4 図における電圧 V_c を小さくすることにより、入力保護抵抗 1, 2 の抵抗値 R_{in} の解を容易にみつけることができる。

上記 CMOS IC において、 $R_c = 50 \Omega$ として得られる静電破壊耐圧の計算値は、 $C_{out} = 200 \text{ pF}$, $R_{out} = 0 \Omega$ では、入力保護抵抗 1, 2 の入口（入力パッケージ側）で 450 V、出口（内部回路 10 倍）では 423 V である。また、 $C_{out} = 100 \text{ pF}$, $R_{out} = 1.5 \text{ k}\Omega$ では、入力保護抵抗 1, 2 の入口で 1281 V、出口で 1203 V という結果となるが、実際の試験でもほぼ同じ結果が得られた。

上述したように、前記第 1 図のような構成によれば、静電破壊耐圧を大幅に向上でき、微細化された半導体集積回路であっても充分な保護が行なえる。

なお、上記実施例では保護用のバイポーラトランジスタを設けたが、MOS トランジスタに寄生的に形成されるバイポーラトランジスタの動

- 16 -

一トランジスタを用いる場合には、保護 MOS トランジスタが破壊しないことを前提に入力保護抵抗の抵抗値、ジャンクションブレークダウン電圧およびバイポーラ動作を決定しなければならないのに対し、保護用のバイポーラトランジスタを別に形成すれば保護回路の破壊（ゲート破壊）は起こらないので有利である。

また、素子が微細化され、第 5 図に示すように MOS トランジスタ IC LDD 構造を用い、ホットキャリア効果を抑制する場合、第 6 図に示すように保護用の寄生バイポーラトランジスタ 2, 3 のコレクタ、エミッタにはそれぞれ上記第 5 図における n 形不純物領域 2, 2, 2, 2, 2, 2, 2, 2 上の抵抗 2, 2, 3, 3 が付随し、等価抵抗 R_p が上昇する。一方、前記第 2 図に示したように保護用トランジスタにラテラル構造のバイポーラトランジスタを用いた場合には、n 形不純物領域が含まれない（フィールド絶縁膜のエッジ部には n+ 形不純物領域の内側に n- 形不純物領域が含まれるが）ので等価的な抵抗 R_p は上昇しない。

- 17 -

-397-

- 18 -

従って、 $R_p^* > R_p$ となり、前記第2図に示したような構造が有利である。

さらに、保護MOSトランジスタをLDD構造にした場合、バイポーラ動作時に流れる電流は、△形不純物領域281, 282を通過するため、ジュール熱による温度上昇が起こる。この温度上昇によりシリコンとシリコン酸化膜との界面やシリコンあるいはシリコン酸化膜が熱的に破壊され、入力パッド11と接地点間にリーフが生ずることがある。しかし、ラテラルバイポーラトランジスタを用いた場合には、内部回路10のMOSトランジスタにLDD構造を導入してもこのような熱的破壊は生じない。

〔発明の効果〕

以上説明したようにこの発明によれば、微細化された半導体集積回路であっても充分な保護が行える入力保護回路が得られる。

4. 図面の簡単な説明

第1図はこの発明の一実施例に係わる入力保護回路を示す図、第2図および第3図はそれぞれ

- 19 -

れ上記第1図における保護用バイポーラトランジスタの断面構成図、第4図はバイポーラトランジスタのスナップバック特性について説明するための図、第5図および第6図はそれぞれ寄生バイポーラトランジスタを入力保護用トランジスタとして用いた場合とラテラルトランジスタを用いた場合との違いを比較して説明するための図、第7図および第8図はそれぞれ從来の入力保護回路を示す図、第9図は上記第7図の回路に対して静電破壊試験を行なう際の等価回路図である。

10…内部回路、11…入力パッド、12…入力保護抵抗、13…入力駆動MOSトランジスタ、18…バイポーラトランジスタ。

出願人代理人弁理士 鈴江 武彦

- 20 -

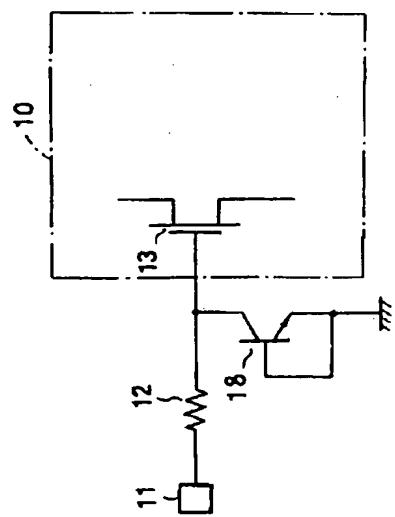


図1 第1

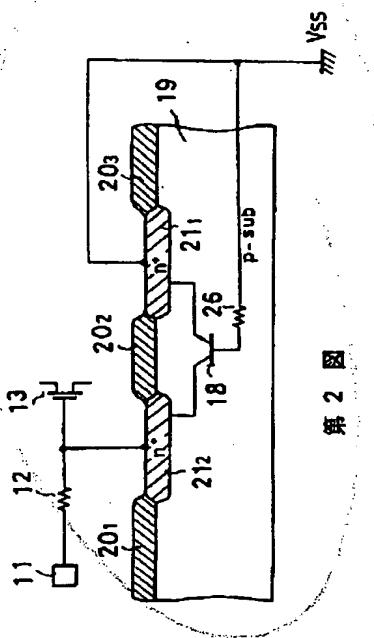
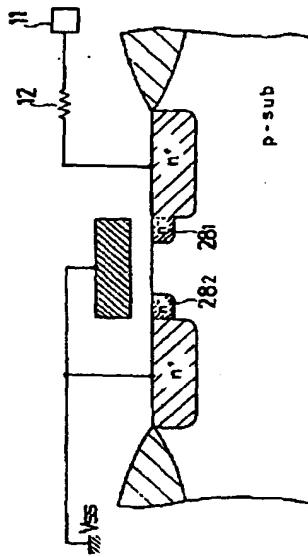
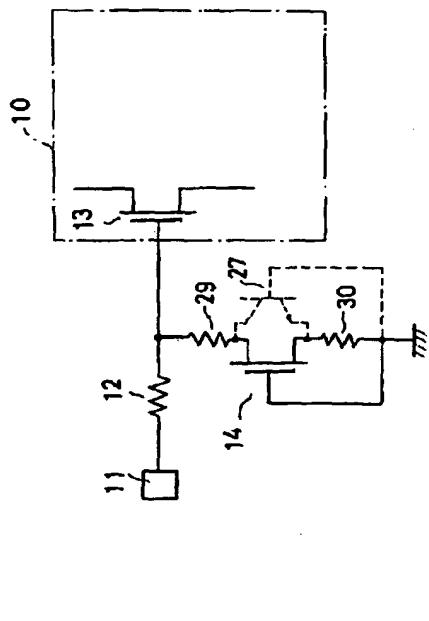
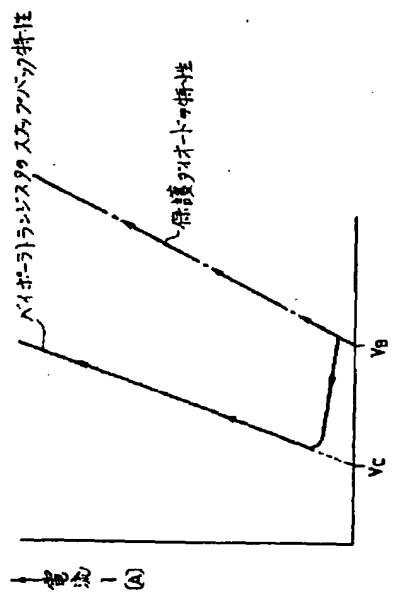
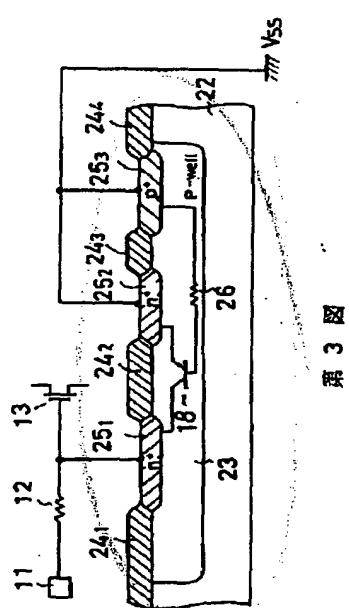
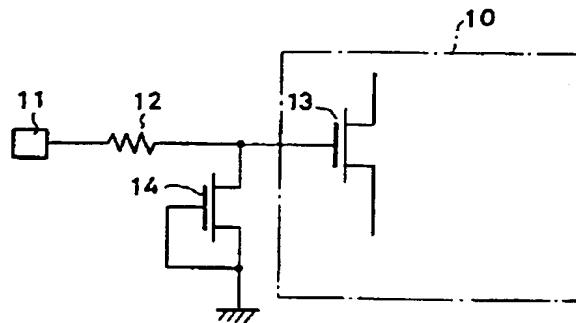


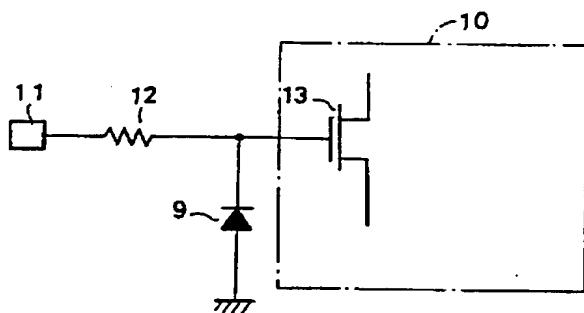
図2 第2



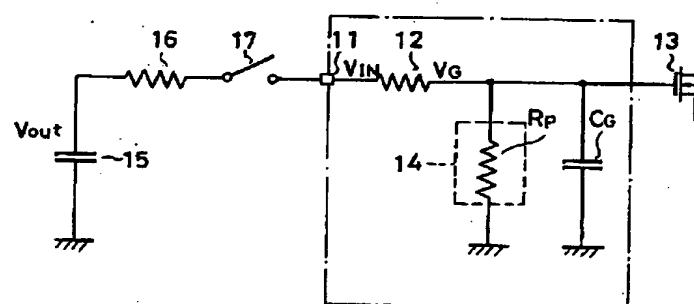
第5図



第 7 図



第 8 図



第 9 図